

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-212468

(43)Date of publication of application : 04.08.1992

(51)Int.Cl.

H01L 29/784

H01L 27/04

H01L 21/331

H01L 29/73

(21)Application number : 03-018130

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 12.02.1991

(72)Inventor : NAKAJIMA TSUNEHIO

(30)Priority

Priority number : 02303228

Priority date : 08.11.1990

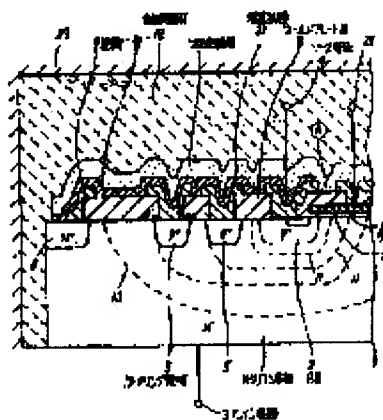
Priority country : JP

(54) HIGH BREAKDOWN STRENGTH SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To avoid the decline in the breakdown strength due to the bent stretch of a depletion layer by the charge induced to a field plate within the title high breakdown strength semiconductor device provided with a guard ring and the field plate.

CONSTITUTION: A field plate 8 is covered with a low resistant film 21 in the seat resistance of 10⁸-10¹¹ so as to relieve the charge induced to the field plate 8 to a main electrode by the low resistant film 21. At this time, the danger of cracking due to the downward stress upon the low resistant film 21 can be avoided by laminating a stress absorbable insulating film 22 on the film 21. Through these procedures, as for the low resistant film 21, a silicon nitride film to be formed by adjusting the specific resistance using plasma CVD process can be used effectively.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-212468

(43) 公開日 平成4年(1992)8月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 27/04 21/331		P 7514-4M 9168-4M 7735-4M	H 0 1 L 29/78 29/72	3 2 1 K
審査請求 未請求 請求項の数 3 (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平3-18130

(22) 出願日 平成3年(1991)2月12日

(31) 優先権主張番号 特願平2-303228

(32) 優先日 平2(1990)11月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 中嶋 経宏

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

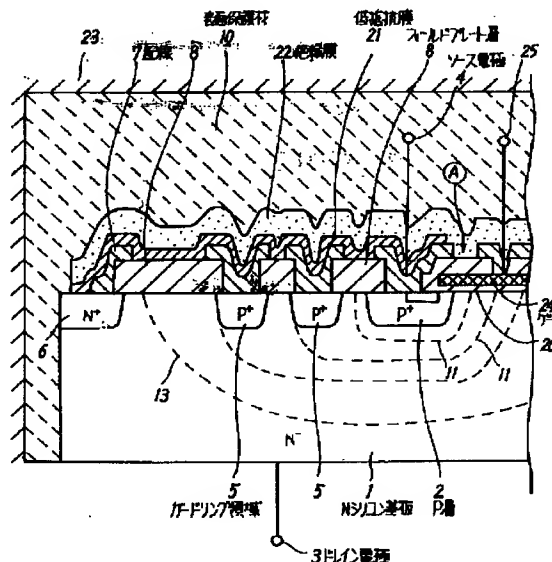
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 高耐圧半導体装置

(57) 【要約】

【目的】 ガードリングおよびフィールドプレートを備えた高耐圧半導体装置においてフィールドプレート上に誘起する電荷によって空乏層の広がりが増大することによる耐圧の低下を防ぐ。

【構成】 フィールドプレートの上をシート抵抗 $10^8 \sim 10^{11}$ の低抵抗膜によって覆うことにより、フィールドプレートに誘起される電荷を低抵抗膜を通じて主電極に逃がしてやる。低抵抗膜に上部からの応力によって亀裂の生ずるのを、低抵抗膜の上に応力吸収可能な絶縁膜を積層することによって防止する。低抵抗膜にはプラズマCVD法により比抵抗を調整して形成できる窒化シリコン膜を有効に用いることができる。



【特許請求の範囲】

【請求項1】 半導体基板の両主面に主電極を備え、一面の主電極に接触する領域より他面の主電極と同電位になる縁部側への基板の表面部に前記領域と同一導電型のガードリング領域が選択的に形成され、前記主電極の接触する領域およびガードリング領域表面に接触し、基板表面上を前記縁部側に延びる酸化膜よりなるフィールドプレートが設けられるものにおいて、フィールドプレートがシート抵抗 $10^8 \sim 10^{11} \Omega/\square$ の低抵抗膜で覆われたことを特徴とする高耐圧半導体装置。

【請求項2】 請求項1記載の装置において、低抵抗膜の上に応力吸収可能な絶縁膜が積層された高耐圧半導体装置。

【請求項3】 請求項1あるいは2記載の装置において、低抵抗膜がプラズマCVD法で形成された窒化シリコン膜である高耐圧半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高耐圧化のためにガードリング構造を有する高耐圧半導体装置に関する。

【0002】

【従来の技術】 半導体装置を高耐圧化させるためには、基板の比抵抗を高くし、空乏層を基板内部へ伸ばしやすくすると共に、半導体装置チップ表面のパターンや、拡散層等を工夫することによって、基板表面の空乏層を横方向へも伸びやすくし、電界強度を低くする必要がある。特に、高耐圧になる程、チップ外周部のガードリング構造が重要となり、P 拡散リングを増やしたり、フィールドプレートを長くすることにより、空乏層を伸びやすくするように工夫している。図2はそのような高耐圧半導体装置の一例のたて型MOSFETの一部分を示し、N型シリコン基板1にP型拡散層2が形成され、基板1にはドレイン電極3が、P層2にはソース電極4が接触している。P層2を囲んでP層と同時に拡散によって形成されたP型ガードリング領域5が二段に設けられ、基板1の縁部にはN チャネルストップ領域6が形成されている。ガードリング領域5およびチャネルストップ領域6にはAl配線7が接触し、ソース電極4とAl配線7との間、Al配線7相互間およびAl配線7からチャネルストップ領域に向けて SiO_2 からなるフィールドプレート層8が基板1を覆っている。そしてAl配線7およびフィールドプレート層8の上を安定化のためのパッシベーション膜9が覆っており、さらに外からの湿気の侵入を防ぐために基板1側面を含めて表面保護材10が覆っている。

【0003】

【発明が解決しようとする課題】 しかしながら、このように高耐圧化のための工夫を施した半導体チップを用いて半導体装置に組立てたのち、耐圧を測定すると、チップの状態よりも値が低下してしまう。特に、高耐圧にな

る程この差が大きい。これは、組立て時にチップ表面に塗布し、湿気等から保護するゲルやJCRと呼ばれる表面保護材の電荷がチップ表面に電荷を誘起するためで、特に、ガードリング部のフィールドプレート上に誘起した電荷がチップ表面にまで影響し、空乏層の伸びを止めてしまう結果耐圧を低下させてしまう。

【0004】 これを図2において説明すると、ドレイン電極3に正、ソース電極4に負のN型基板1とP層2の間の接合に対する逆電圧を印加していくと、空乏層が発生する。図には点線でN型基板中への空乏層11の伸びを示す。ドレイン電極3とソース電極4の間の電圧を上げるにつれ、空乏層11はガードリング5の効果によって横方向へ伸びやすく、耐圧も順調に上がっていく。しかし表面保護材10の中の電荷がパッシベーション膜9、フィールドプレート層8の下に基板1の表面に影響を及ぼし、空乏層11の広がりを一点鎖線12で示すように湾曲させてしまう。電圧が上がるに従いこの湾曲が強くなり、やがてここでブレイクダウンしてしまう。このため耐圧が低下するという問題が発生する。

【0005】 これを補償するためには、チップ段階で低下分だけ耐圧を上げておく必要がある。先に述べたように、耐圧を上げるにはガードリング幅を広げることや、基板の比抵抗を上げる必要があるが、ガードリング幅を広げるとチップ寸法が大きくなり、コストが上がってしまう。また、基板の比抵抗を上げると、装置の抵抗分が増加してしまう問題があった。さらに、基板の比抵抗を上げると、表面保護材の電荷の影響も受けやすくなるという逆効果が生じる。

【0006】 さらにまた、その他の問題として、半導体チップを収容する容器あるいは表面保護材からの応力によってチップ自体やその表面のパッシベーション膜に亀裂が発生してしまうことによる信頼性の劣化がある。このために特に低温生成 SiO_2 あるいはPSGのような絶縁層を応力の緩和に用いる必要があった。

【0007】 本発明の目的は、上述の問題を解決して空乏層の広がりの湾曲による耐圧の低下を防止して基板の比抵抗を上げたりガードリング幅を広げる必要のない、あるいはさらに亀裂発生の問題も解決した高耐圧半導体装置を提供することにある。

【0008】

【課題を解決するための手段】 上述の目的を達成するために、本発明は、半導体基板の両主面に主電極を備え、一面の主電極に接触する領域より他面の主電極と同電位になる縁部側への基板の表面部に前記領域と同一導電型のガードリング領域が選択的に形成され、前記主電極の接触する領域およびガードリング領域表面に接触し、基板表面上を前記縁部側に延びる酸化膜よりなるフィールドプレートが設けられる高耐圧半導体装置において、フィールドプレートがシート抵抗 $10^8 \sim 10^{11} \Omega/\square$ の低抵抗膜で覆われるものとする。また、その低抵抗膜の上に

応力吸収可能な絶縁膜が積層されることが有効である。そして、低抵抗膜がプラズマCVD法で形成された窒化シリコン膜であることが有効である。

【0009】

【作用】フィールドプレートの上を低抵抗膜で覆うことにより、表面保護材などの電荷を低抵抗膜を通じて主電極へ逃がすことができるので、空乏層は順調にフィールドプレートの下を広がり、耐圧を向上させることができる。ただし低抵抗膜の抵抗が低すぎた場合、他面の主電極と同電位になる基板縁部から低抵抗膜を通じて一面の主電極へ流れるもれ電流が大きくなり、損失が大きくなると共に低抵抗膜を抵抗体とする発熱が起こり、半導体基板が破壊するおそれがある。シート抵抗 $10^8 \sim 10^{11} \Omega/\square$ はそれらの条件からきまる適切な範囲である。しかし、低抵抗膜の材料は、応力緩和に対して不向きな硬いものが多いが、その上に応力吸収可能な絶縁膜を積層すると、表面保護材あるいは容器などの上部部材から加わる応力によって低抵抗膜に亀裂が入るのを防ぐことができる。たとえ、導電層に亀裂が入ったとしても、絶縁膜により外部からの汚染が阻止される。また、低抵抗膜や絶縁膜にピンホールなどの欠陥が生じて、低抵抗膜と絶縁膜との欠陥が同位置に重なることがないので、外部からの湿気等の侵入に対して効果がある。

【0010】

【実施例】図1は本発明の一実施例のたて型MOSFETを示し、図2と共通の部分には同一の符号が付されている。半導体素体は図2と同様であるが、Al配線7およびフィールドプレート層8の上をプラズマCVDによるP-SiNからなる厚さ1000Åの低抵抗膜21が覆っている。さらに、低抵抗膜21の上には低温生成SiO₂あるいはPSGよりなる絶縁膜22が覆っている。このような表面構造をもつ半導体素体は樹脂製の容器23の中に収容され、空間には、例えば接合被覆樹脂(JCR)のような表面保護材10が充填されている。低抵抗膜21の材料のP-SiNは、反応ガスのSiH₄とNH₃の混合比を変えることにより比抵抗を調整することができる。SiH₄の比率を上げると組成Si_xN_yのxが大きくなって低抵抗化し、NH₃の比率を上げるとSi_xN_yのyが大きくなって高抵抗もしくは絶縁性となる。図3は種々のシート抵抗の低抵抗膜21を備えた約1300V耐圧を目標としたMOSFETの逆耐圧およびドレイン・ソース電極3、4間のもれ電流を示す。10¹⁰Ω/□以上のシート抵抗になると表面保護材10の電荷の影響を受けて耐圧が目標の1300Vから低下してしまい、10⁸Ω/□以下のシート抵抗ではもれ電流が上昇してしまう。従って、この範囲に入るように膜質、膜厚を制御するのが望ましいが、シート抵抗10⁸~10¹¹Ω/□の範囲であれば成膜が容易であり、実用的な特性が得られる。そして、低抵抗膜21は絶縁膜22と共にパッシベーション膜として働く。

【0011】低抵抗膜21としては、シリコンを蒸着法、

スパッタ法あるいはプラズマCVD法により堆積し、多結晶ないし非晶質の膜にし、結晶状態や添加不純物の量により比抵抗を調整した膜を用いることもできる。また対応した導電性樹脂をスピンコテイング法などで塗布して形成した膜を用いてもよい。低抵抗膜をどのような方法で作成しても、シート抵抗を10⁸~10¹¹Ω/□にすることによって空乏層は図1に線13で示すように広がり、設計通りの耐圧をもった高耐圧半導体装置を得ることができた。

【0012】絶縁膜22としては、低抵抗膜21よりも軟らかく、表面保護材10あるいは容器23からの応力緩和に役立つと共に、外部から侵入する湿気に対して有効な耐湿性の高い材料、例えば低温生成SiO₂やPSGなどを用いる。しかし、絶縁膜22を用いないでプラズマCVD法によるP-SiN生成の際のNH₃の比率を上げて高抵抗にして前記のシート抵抗を持つように低抵抗膜21の膜厚を例えば8000Åに厚くし、応力を十分に吸収できるようにしてもよい。膜厚を十分に厚くすることによって基板表面のAl配線7のエッチングテーパのように段差のきつい部分をカバーできる低抵抗膜21を形成することが可能になる。

【0013】絶縁膜22を形成する場合は、図示のようにゲート24に接触するゲート電極25とソース電極4の間のA部の低抵抗膜21をフォトリソで除去し、絶縁膜22を介在させることによってゲート・ソース間を保護することもできる。しかし、A部に低抵抗膜21を残しておけば、ゲート酸化膜26の保護回路として使用することもできる。すなわち、人体等に誘起している静電気がゲート電極に流れこみ、ゲート酸化膜26を破壊してしまうことがあるが、低抵抗膜を配する事によって、ゲート24に入った静電気をソース電極4に逃がすことも可能になる。

【0014】

【発明の効果】本発明によれば、酸化シリコンからなるフィールドプレート層の上にシート抵抗10⁸~10¹¹Ω/□の低抵抗膜を、例えば抵抗調整可能なP-SiN膜で形成することにより、空乏層の半導体基板面に平行方向への広がりに対する低抵抗膜上の表面保護材中などの電荷の影響を防止することができ、基板の比抵抗を特に高めることなしに半導体装置の高耐圧化が可能となった。そして、低抵抗膜にその上の部材から加わる応力により亀裂の生ずるのは、低抵抗膜上に応力吸収可能な絶縁膜を積層することにより防止することができた。

【図面の簡単な説明】

【図1】本発明の一実施例のたて型MOSFETの要部断面図

【図2】従来のたて型MOSFETの要部断面図

【図3】本発明による低抵抗膜のシート抵抗とたて型MOSFETの特性との関係線図

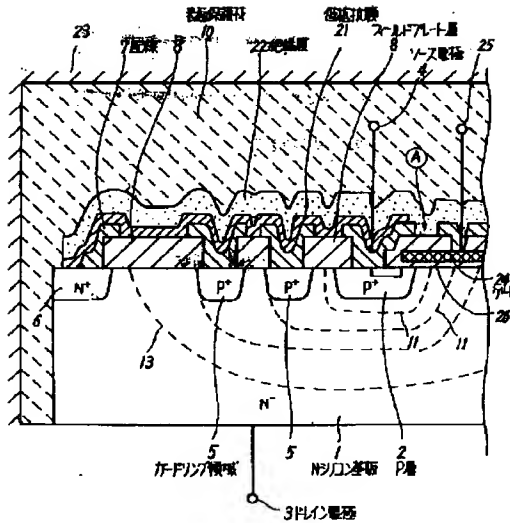
【符号の説明】

1 N型シリコン基板

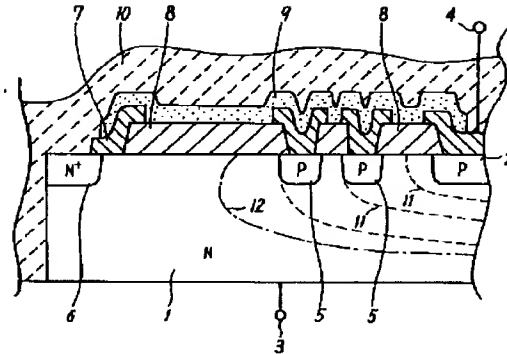
- 5
- | | |
|---|------------|
| 2 | P 層 |
| 3 | ドレイン電極 |
| 4 | ソース電極 |
| 5 | p ガードリング領域 |
| 7 | 配線 |

- 6
8 フィールドプレート層
10 表面保護材
21 低抵抗膜
22 絶縁膜
24 ゲート

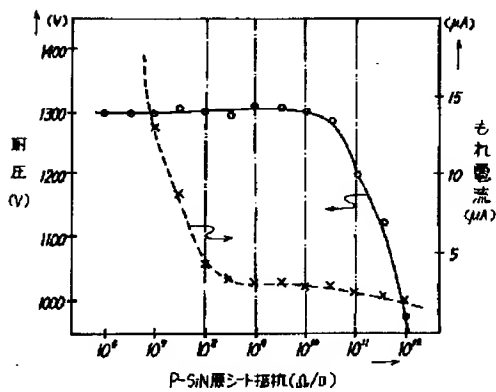
【図 1】



【図 2】



【图 3】



フロントページの続き

(51) Int. Cl.⁵

H O 1 L 29/73

識別記号

庁内整理番号

9168-4M

F I

H O 1 L 29/78

技術表示箇所

3 2 1 X